

**I.1 Introduction :**

Les notions du transistor MOS (Metal Oxide Semi-conducteur) ont été brevetés par Lilienfield et Heil en 1930. Cependant des difficultés technologiques ont retardé sa réalisation pratique dû principalement aux problèmes d'interfaces Si/SiO<sub>2</sub>. Par conséquent, il n'apparaîtra sous sa forme actuelle qu'en 1955 grâce à Ross. Cela bien après la réalisation par Shockley en 1947 du premier transistor de type bipolaire, pourtant théoriquement bien plus compliqué.

C'est en 1960 que Kahng et Attala ont exhibé le premier transistor MOS sur Silicium en utilisant une grille isolée dont le diélectrique de grille était en oxyde de silicium SiO<sub>2</sub>. Le silicium fut un choix très avisé car c'est l'élément le plus abondant de la croûte terrestre, après l'oxygène. De plus son oxyde est non seulement un très bon isolant électrique mais il s'est aussi établi comme étant parfaitement adapté pour former des couches dites de passivation protégeant les circuits, accroissant remarquablement leur fiabilité.

Les transistors MOSFET sur silicium, plus simples et moins onéreux que leurs rivaux les transistors bipolaires, ont connu leur envol dans les années 70-80 grâce à la technologie CMOS (Complementary MOS) inventée en 1968 qui consomme très peu d'énergie. Actuellement, le transistor MOSFET est la base de la conception des circuits intégrés et a mené la technologie CMOS au rang incontesté de technologie dominante de l'industrie du semi-conducteur. Au fil des années, la complexité des circuits intégrés a augmenté de façon continue, principalement grâce aux performances accrues des nouvelles générations de transistors MOSFET.

Dans ce chapitre nous présenterons l'état de l'art du transistor MOSFET, et nous analyserons la structure et le fonctionnement des Mosfets.

**I.2 Principe de fonctionnement et modélisation des transistors MOSFET :**

La miniaturisation incessante des technologies CMOS répond à des impératifs de performances et de rentabilité, moteurs de l'industrie de la micro-électronique mondiale. Cette miniaturisation va de pair avec l'augmentation du nombre de transistors MOSFET par puce, phénomène bien connu, puisque Gordon Moore, co-fondateur de INTEL Corporation, avait prévu cette loi de croissance dès 1965, quatre ans seulement après la fabrication du premier circuit intégré planaire. On est proche aujourd'hui du milliard de transistors par puce, et la complexité des architectures sur silicium est telle, que la conception assistée par ordinateur, requiert une modélisation poussée du comportement électrique des dispositifs MOS. La

réduction des géométries des transistors s'accompagne du développement de nouveaux procédés de fabrication qui ne sont pas sans générer des effets parasites qui influencent le fonctionnement des composants. Ceci a pour conséquence d'accroître la complexité des modèles prédictifs, qui sont ainsi ajustés et optimisés à chaque nouvelle génération de procédés de fabrication. On peut citer les onze générations de modèle SPICE qui se succédèrent avant de laisser place aux modèles plus complexes BSIM (de Berkeley) et MM9 (développé par Philips). Ces modèles s'établissent à partir des propriétés électriques globales du composant, obtenues à l'aide de leurs caractéristiques I-V ajustées. Dans cette partie, nous allons décrire les équations de base d'une structure capacitive MOS, pour arriver à la modélisation du transistor. Les effets parasites les plus couramment rencontrés seront ensuite définis.

### I.2.1 La structure du MOSFET :

Avant de présenter les équations permettant le calcul du courant de drain du transistor MOS, il est nécessaire de définir les différentes notations utilisées [6].

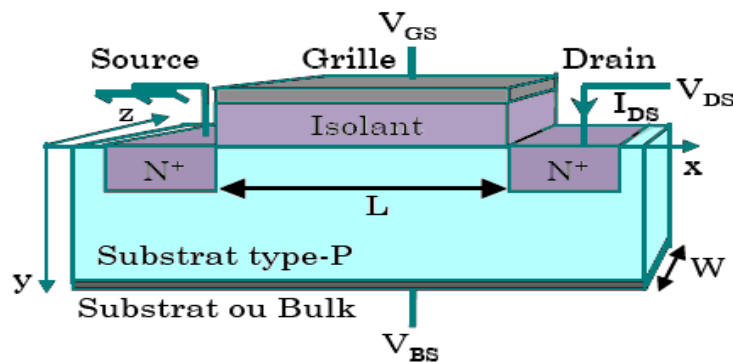


Figure I.1 : Vue schématique du transistor MOS de type N [6].

Le transistor MOS (ou MOSFET pour transistor Métal-Oxyde-Semi-conducteur à effet de champ) à canal N est un dispositif quadripolaire constitué d'une électrode de grille (G), de source (S), de drain (D) et de substrat (B) (Fig. (I.1)). La longueur du transistor, notée  $L$ , correspond à la longueur de sa grille et sa largeur est notée  $W$ . La structure du transistor étant identique selon sa largeur, on le représente communément dans le plan  $(x,y)$ . Nous considérerons par la suite un transistor à canal surfacique, c'est-à-dire dont la conduction est assurée par les porteurs minoritaires du substrat (électrons dans le cas d'un NMOSFET), à l'interface entre le diélectrique de grille et le substrat.

Notons que le MOSFET possède deux électrodes supplémentaires par rapport à la capacité MOS, qui sont constituées de deux caissons dopés N+ pour un NMOS (réservoirs à électrons). Ainsi, de nombreuses propriétés du transistor MOS découlent de celles de la capacité MOS.

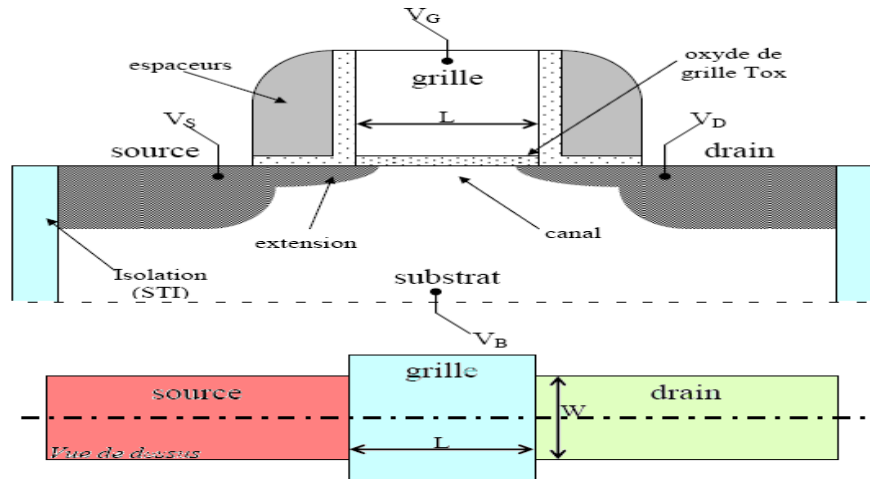


Figure. 1.2 : Coupe Schématique d'un transistor MOS avec une vue de dessus.

Schématiquement un transistor MOSFET est constitué de [7] :

- l'électrode de grille** : C'est l'électrode qui va commander le dispositif tel un interrupteur. Dans les technologies actuelles (jusqu'au nœud technologique 45nm), elle est constituée de silicium polycristallin, souvent appelé polysilicium, qui est dopée selon s'il s'agit d'un nMOSFET ou d'un pMOSFET, respectivement N+ et P+. Cette électrode est isolée du substrat par le diélectrique de grille. Il s'agit d'oxyde de silicium nitruré : SiON.
- Le canal** : C'est la zone constituée de silicium monocristallin, située sous l'oxyde de grille et qui constitue le lieu de conduction des porteurs minoritaires. Elle est dopée P dans le cas d'un nMOSFET, et N pour un pMOSFET.
- Le module de jonctions et extensions** : Il s'agit des zones de source et de drain, également noté S/D, qui sont les électrodes latérales. Elles sont réalisées par dopage à dégénérescence du substrat, N+ dans le cas nMOSFET et P+ pour le pMOSFET. Nous distinguons deux zones : au contact direct du canal nous trouvons les extensions, ou LDD (de «LightlyDoped Drain »), où le dopage est plus superficiel. Puis de part et d'autre viennent les deux zones ohmiques de source et de drain, avec des jonctions plus profondes pour réduire leur résistivité ; elles sont formées après la création des espaceurs qui sont en nitrure ( $Si_3N_4$ ) dans les technologies Actuelles, Les électrodes de grille, de drain et de source sont siliciurées (réaction chimique d'un métal avec le silicium) afin de réduire la résistance de la prise de contact. Dans les nouvelles technologies elles sont faites avec du siliciure de nickel (NiSi).

### I.2.2 Le fonctionnement des MOSFET en statique :

Les potentiels appliqués sur la grille,  $V_g$  et sur le substrat,  $V_b$  modulent le type et la quantité des porteurs présents dans la zone active, En première approximation, la structure "grille/oxyde de grille/substrat" se comporte comme une capacité. La différence de potentiel entre l'interface "oxyde de grille/substrat" et la zone neutre du substrat s'appelle le potentiel de surface,  $\Psi_s$ . Ce potentiel varie suivant les conditions de polarisation de la grille et du substrat mais aussi en fonction du champ électrique longitudinal au canal (potentiels de source et de drain). Le potentiel, sous le canal, varie jusqu'à un seuil fixé dans la partie neutre du substrat.

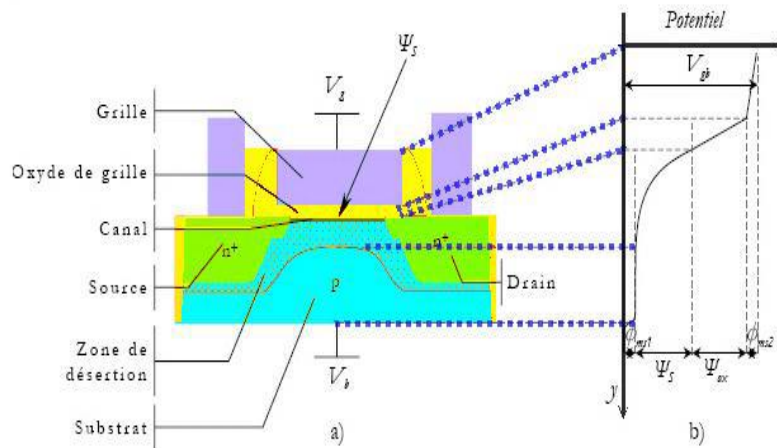


Figure I.3 : Le MOSFET à canal n sur substrat massif.

a) schéma du transistor.

b) illustration du potentiel distribué dans le transistor.

( $V_{gb}=V_g-V_b$ ).  $\Psi_{ox}$  correspond à la différence de potentiel entre les deux interfaces de l'oxyde de grille. Les différences des travaux de sortie au niveau de la grille et du substrat sont représentées par  $\phi$ . Dans la suite de ce paragraphe, l'étude de cette structure de type Métal Isolant Semi-conducteur ou MIS est approfondie.

#### I.2.2.1 Les régimes de fonctionnement du MOSFET :

Par supposition, aucun potentiel n'est appliqué sur la source et le drain. Six modes de fonctionnement sont identifiables en fonction de  $V_{gb}$ . Sauf la condition de bandes plates et le régime d'inversion modérée, ceux-ci sont représentés à la figure I.4.

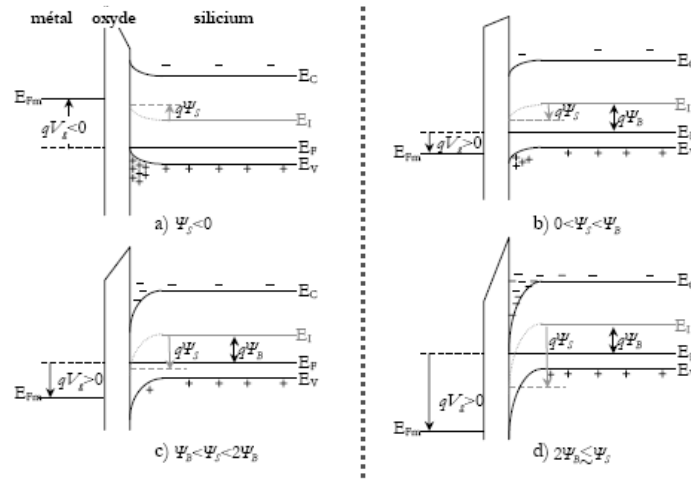


Figure I.4 : Diagramme de bandes d'énergie pour un MOSFET à canal n à désertion.  
MOSFET en régime a) accumulation ; b) désertion; c) inversion faible; d) inversion forte.

Si la différence de potentiel entraîne  $\Psi_S$  négatif, la quantité de charge négative dans le polysilicium,  $Q'g$ , donnera l'apparition d'une quantité de charges positives dans le canal,  $Q'_{acc}$ . Les charges majoritaires – trous – s'accumulent à l'interface "oxyde/substrat". Le transistor est alors en régime d'accumulation, voir figure I.4-a et figure I.5. Dans le canal, cette charge d'accumulation, essentiellement surfacique, s'étend sur environ 50 Å, jusqu'à  $y_{acc}$ .

La condition de bandes plates est obtenue lorsque  $\Psi_S$  est nul. La quantité de charge par unité de surface dans le canal  $Q'c$  est nulle, (figure I.5.) Dans ce cas  $V_{gb} = V_{FB}$  et  $V_{FB}$  est la tension de bandes plates qui s'exprime par :

$$V_{fb} = \phi_{ms} - \frac{Q'_{ox}}{C'_{ox}} \quad (I.1)$$

$Q'_{ox}$  correspond à la quantité de charges par unité de surface présente dans l'oxyde et aux interfaces entre l'oxyde et le silicium.

$C'_{ox}$  est la capacité de l'oxyde de grille par unité de surface.

Dans ces conditions, en augmentant le potentiel de grille,  $\Psi_S$  devient positif. La densité de trou à l'interface se réduit ("depleted"). Ces trous sont expulsés loin de l'interface. Une zone se forme, désertée de porteurs majoritaires dont la quantité de charges par unité de surface est  $Q'b$ . Le transistor est en régime de désertion, (figure I.4-b). La profondeur de la zone de désertion est donnée par  $y_d$ , (figure I.5).  $\Psi_B$  représente la différence de potentiel entre le niveau de Fermi intrinsèque et le niveau de Fermi du semi-conducteur extrinsèque, (figure I.4-b). Lorsque  $\Psi_S = \Psi_B$ , les concentrations à la surface en trous,  $P_s$ , et en électrons,

$N_s$ , sont identiques et correspondent à la concentration intrinsèque,  $n_i$ , des porteurs dans le silicium.  $N_s = P_s = n_i$ . À partir de ce niveau de polarisation, si le potentiel de grille s'accroît, le MOSFET sera en inversion et  $\Psi_s > \Psi_B$ . La quantité de charges par unité de surface, dans la zone d'inversion,  $Q'_{inv}$ , augmente avec le potentiel de surface. Ce régime d'inversion peut être scindé en trois : l'inversion faible, l'inversion modérée et l'inversion forte. Les quantités de charge du régime d'inversion sont illustrées à la figure I.5. Le premier régime intervient lorsque  $\Psi_B < \Psi_s < 2 \cdot \Psi_B$ , (figure I.4-c). Le second régime est caractérisé par :  $2 \Psi_B < \Psi_s < 2 \Psi_B +$  Lorsque  $\Psi_s > 2 \cdot \Psi_B$ , le régime d'inversion forte domine, (figure I.4-d).

Comme le potentiel de surface, la profondeur de désertion peut être considérée constante et atteint la valeur maximale  $y_{d, \max}$  (figure I.5) définie par l'équation (I.2).

$$y_{d, \max} = \sqrt{\frac{2 \varepsilon_{si} 2 \phi_f}{q N_a}} \quad (I.2)$$

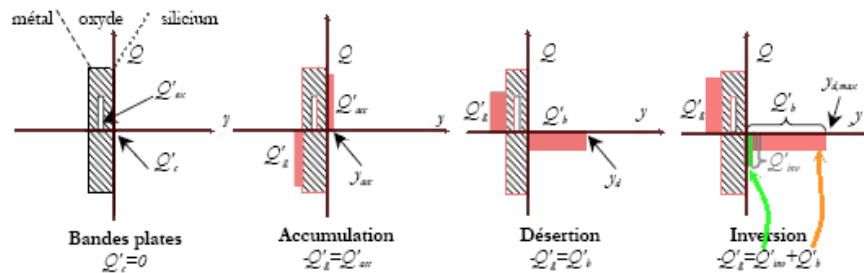


Figure I.5 : Visualisation des quantités de charges par unité de surface présentes dans le MOSFET pour chaque régime de fonctionnement [8].

Entre chaque régime,  $V_{gb}$  est associée à une valeur spécifique. Les rapports entre  $\Psi_s, V_{gb}$  et

Accumulation	$\Psi_s < 0$
Désertion	$\Psi_s = 0 \rightarrow V_{gb} = V_{FB}$
Inversion faible	$\Psi_s = \Psi_B \rightarrow V_{gb} = V_L$
Inversion modérée	$\Psi_s = 2 \Psi_B \rightarrow V_{gb} = V_M$
Inversion forte	$\Psi_s = 2 \Psi_s + K \phi_T \rightarrow V_{gb} = V_H$
	$\Psi_s = 2 \Psi_s + K \phi_T$

les différents modes de fonctionnement sont résumés au travers du tableau 1.

La représentation de l'ensemble des charges dans le silicium,  $|Q'_{inv}|$  et  $|Q'_b|$ , en fonction de  $V_{gb}$  est illustrée à la figure I.8. Les différents régimes de fonctionnement sont

indiqués sur cette courbe. Ainsi, il est possible de remarquer que lorsque  $V_{gb}$  est inférieur à  $V_{FB}$ , l'ensemble des charges présentes dans le silicium est lié à l'accumulation des trous à l'interface  $Si/SiO_2$ . Au-delà de  $V_{FB}$ , la densité de charges liée à la zone de désertion augmente jusqu'à un palier. À partir du régime d'inversion faible, la quantité des charges d'inversion croît pour devenir proportionnelle à  $V_{gb}$ , avec une pente égale à  $C'_{ox}$ .

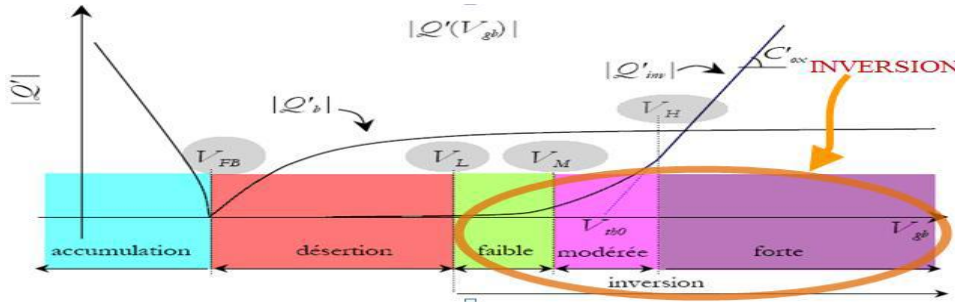


Figure I.6 : Représentation idéale des quantités de charges dans le silicium en fonction de  $V_{gb}$ , d'après [9]. Les régimes de fonctionnement sont indiqués ainsi que leurs potentiels spécifiques  $V_{gb}$ .

Jusqu'à présent, nous avons basé notre étude sur une structure MIS et ceci afin d'introduire les divers régimes de fonctionnement en fonction de l'état de l'interface  $Si/SiO_2$  sous la grille de la structure. Pour comprendre le comportement global du MOSFET, la source et le drain sont, dorénavant considérés comme étant polarisés aux potentiels respectifs  $V_s$  et  $V_d$ . Par hypothèse,  $V_{sb}$  et  $V_{db}$  sont positifs de manière à ce que les jonctions "drain/substrat" et "source/substrat" du NMOSFET considéré soient polarisées en inverse.

Le potentiel de surface ne varie plus seulement par rapport à  $V_{gb}$  mais également sur toute la longueur du canal en fonction de  $V_{sb}$  et de  $V_{db}$ . Par exemple, le canal à proximité de la source peut se situer en inversion forte, alors qu'au voisinage du drain, celui-ci peut être en inversion faible. Ainsi, le côté du canal où la charge d'inversion est la plus élevée, définit le régime de fonctionnement en inverse du MOSFET. Le régime de fonctionnement du MOSFET est défini par la combinaison de  $V_{gb}$ , de  $V_{db}$  et de  $V_{sb}$ . La figure I.9 représente l'état du MOSFET en fonction de ces différentes polarisations.  $V_{ds}=V_{db}-V_{sb}$  et  $V_{sd}=V_{sb}-V_{db}$  [13]. Lorsque  $V_{ds}=0$ ,  $V_{gb}$  et  $V_{db}$  ou  $V_{sb}$  impose le potentiel de surface. Dans ce cas uniquement,  $\Psi_S(x)$  est constant sur toute la longueur du canal.  $x$  est un point situé entre la source, indicé par 0, et le drain, indicé par L. Il est possible, ainsi de retrouver les différents modes de



fonctionnement définis pour la structure MIS (figure I.7), par l'intermédiaire des valeurs de  $V_h$ ,  $V_m$  et  $V_L$  définies au tableau 1. Le canal du côté du drain devient moins inversé par l'effet substrat, voir l'illustration à la figure I.6.

En considérant que  $V_{sb}$  (ou  $V_{db}$ ) soit constant, l'augmentation de  $V_{db}$  (respectivement de  $V_{sb}$ ) s'accompagne de l'accroissement du potentiel de surface du côté du drain :  $\Psi_S(L_g)$  (respectivement  $\Psi_S(0)$ ) croît jusqu'à atteindre un palier lorsque le canal du côté du drain est en désertion, voir encadré de droite à la figure I.7. Cet effet implique l'augmentation des paliers  $V_h$ ,  $V_m$  et  $V_L$  en fonction de  $V_{db}$  (ou de  $V_{sb}$ ). Cette évolution est représentée en tiret à la figure I.8. En accroissant  $V_{db}$ , celui-ci peut atteindre un seuil noté  $V_p$  et dessiné en trait plein à la figure I.6. Cette limite correspond au potentiel de pincement, c'est-à-dire le potentiel à appliquer à un point du canal pour que  $Q'_{inv} \approx 0$ . À ce point, le canal est en inversion faible ou en quasi-désertion. Au-delà de ce potentiel, le transistor est saturé ce qui correspond à la zone hachurée sur la figure I.7.

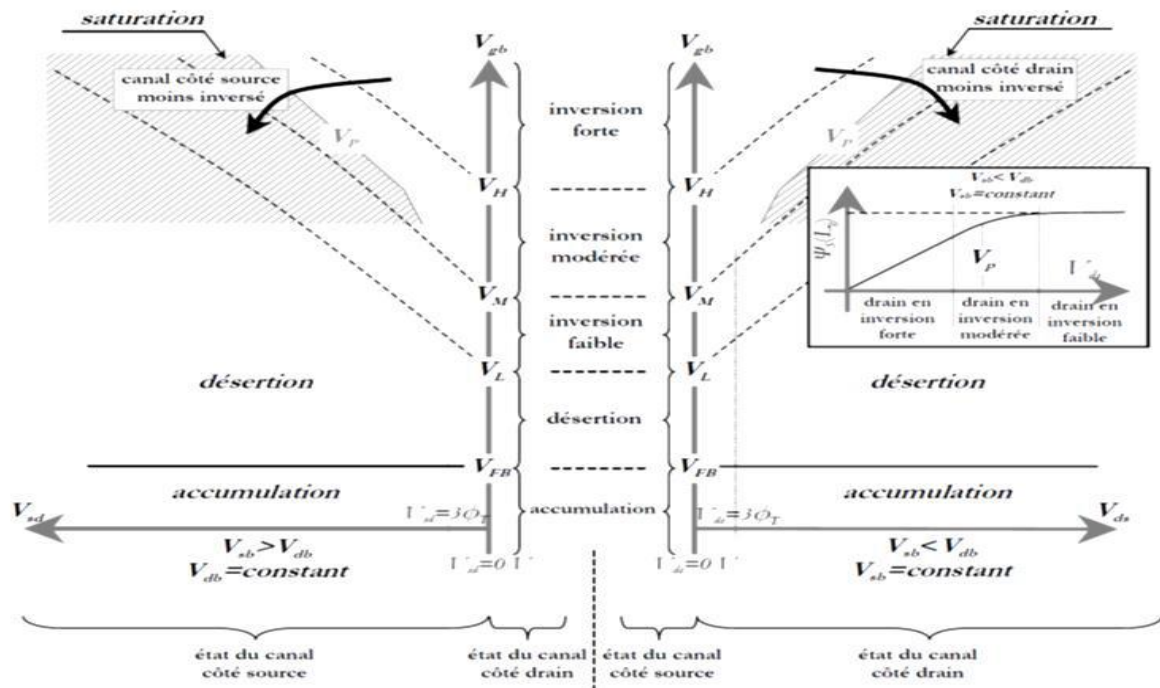


Figure I.7 : Représentation des diverses zones de fonctionnement du MOSFET en fonction de la polarisation  $V_{gs}$  et de  $V_{ds}$  ( $V_{sb}$  est constant) ou de  $V_{sd}$  ( $V_{db}$  est constant), [10]. À droite, dans l'encadré, l'évolution du potentiel de surface dans le canal du côté du drain est représentée en fonction de  $V_{ds}$ , pour une polarisation  $V_{gs}$  donnée, d'après [11].



### I.3 Le transistor MOSFET :

Le Transistor à Effet de Champ à Métal Oxyde Semi-conducteur (MOSFET : Metal Oxyde Semi-conducteur Field Effect Transistor) a sa grille isolée du canal par une couche de dioxyde de silicium ( $\text{SiO}_2$ ). Le transistor MOS possède quatre électrodes : la Source (Source) S : point de départ des porteurs, le Drain (Drain) D : point de collecte des porteurs. La Grille (Gate) G et le Substrat (Body) B sont les électrodes de la capacité MOS qui contrôle le nombre de porteurs présents dans le canal. L'intensité du courant circulant entre la source et le drain est commandée par la tension entre la grille et le substrat. Très souvent les électrodes de source et de substrat sont électriquement reliées, on retrouve un composant à 3 électrodes dans lequel la courant entre le Drain et la Source  $I_{DS}$  est commandé par une tension entre la Grille et la Source (potentiel de source = potentiel de substrat)

Les deux types fondamentaux de MOSFET sont les MOSFET à appauvrissement (Depletion) dit :

D-MOSFET, et les MOSFET à enrichissement (Enhancement) dit E-MOSFET. Dans chaque type de MOSFET, on peut distinguer le MOSFET canal N (le courant provient du déplacement d'électrons) et le MOSFET canal P (le courant provient du déplacement de trous).

#### I.3.1 MOSFET à appauvrissement D-MOSFET [12] :

##### I.3.1.1 Structure du MOS à appauvrissement canal N :

Le D-MOSFET le drain et la grille sont reliés par un canal étroit du même type : N pour D-MOSFET canal N. Dans le cas du D-MOSFET canal N, si on applique une tension négative sur la grille par rapport au substrat, les électrons sont repoussés et la conductivité du canal diminue.

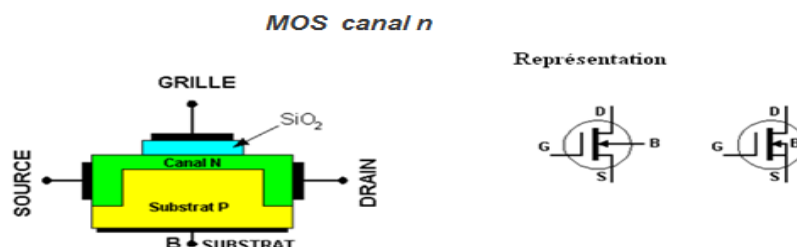


Figure I.8 : MOS à appauvrissement canal N.

### I.3.1.2 Structure du MOS à appauvrissement canal P :

Le D-MOSFET le drain et la grille sont reliés par un canal étroit du même type : P pour D-MOSFET canal P. Dans le cas du D-MOSFET canal P, si on applique une tension positive sur la grille par rapport au substrat, les trous sont repoussés et la conductivité du canal diminue.

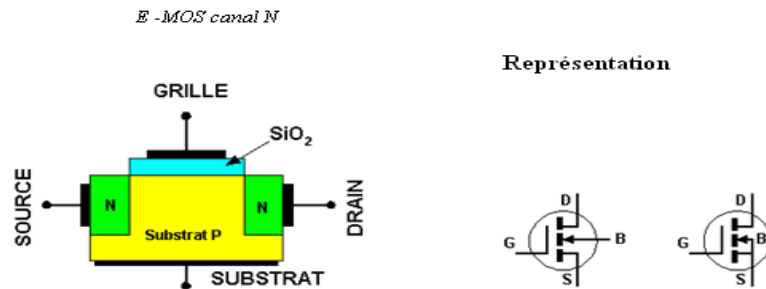


Figure I.9 : MOS à appauvrissement canal P.

Les transistors MOS à appauvrissement sont passants sans tension de commande sur la grille (NORMALLY ON), ils deviennent de moins en moins conducteurs au fur et à mesure que la tension de commande augmente pour finalement se bloquer au-delà d'une tension de blocage  $V_{GS\ off}$

### I.3.2 MOSFET à enrichissement : E-MOSFET :

L'E-MOSFET le drain et la grille ne sont pas reliés par un canal du même type. Sans tension de commande, le E-MOSFET est bloqué : (NORMALLY OFF).

#### I.3.2.1 Structure du MOS à enrichissement canal N :

En appliquant une tension positive sur la grille, on attire les électrons à l'interface isolant-semi-conducteur et on repousse les trous. A partir d'une certaine valeur : tension de seuil  $V_{TH}$  (*Threshold Voltage*), une couche d'inversion apparaît et le transistor devient de plus en plus passant.

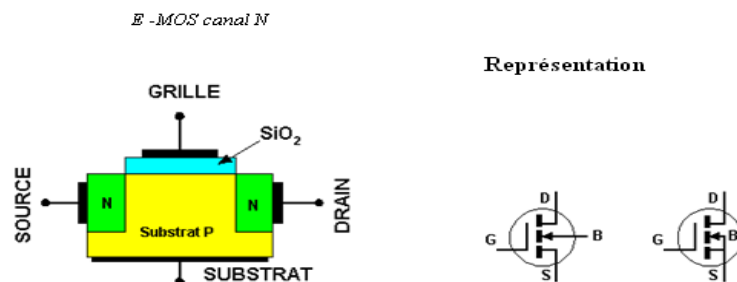


Figure I.10 : MOS à enrichissement canal N.

### I.3.2.2 Structure du MOS à enrichissement canal P :

Dans le cas du E-MOSFET canal P, si on applique une tension négative sur la grille par rapport au substrat, les électrons sont repoussés et les trous minoritaires sont attirés. A partir d'une certaine valeur : tension de seuil  $V_{TH}$  (Threshold Voltage), une couche d'inversion apparaît et le transistor devient de plus en plus passant.

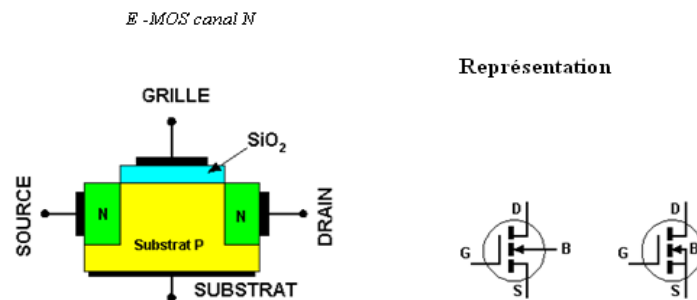
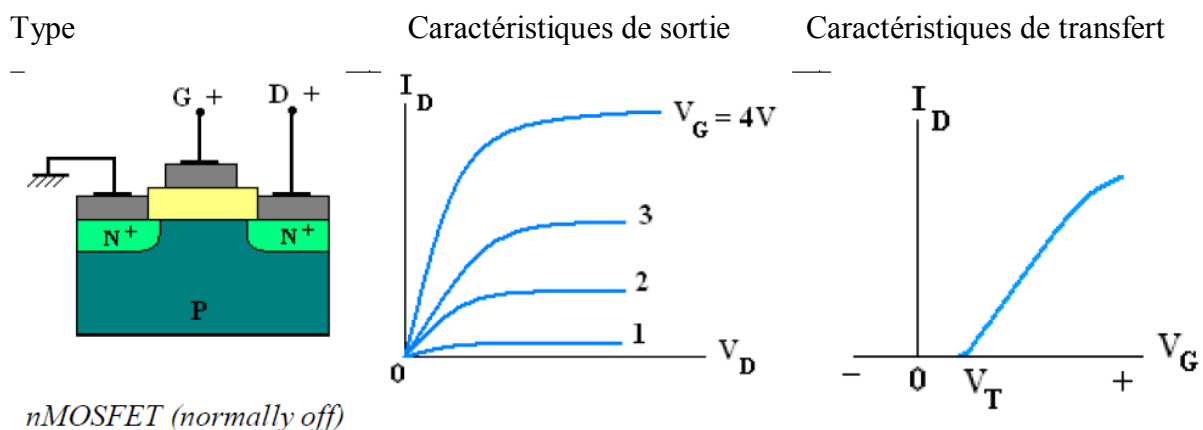


Figure I.11 : MOS à enrichissement canal P.

Les transistors MOS à enrichissement sont bloqués sans tension de commande sur la grille (NORMALLY OFF), ils deviennent passants à partir d'une certaine tension de grille  $V_{th}$ . Plus  $|V_{GS}| > |V_{TH}|$ , plus le E-MOS devient passant.

**Remarque :** Le transistor MOS est un composant unipolaire, la conduction est assurée par un seul type de porteurs dont le nombre est contrôlé par la tension grille. Quel que soit le type du MOSFET, les porteurs se déplacent toujours de la source vers le drain.



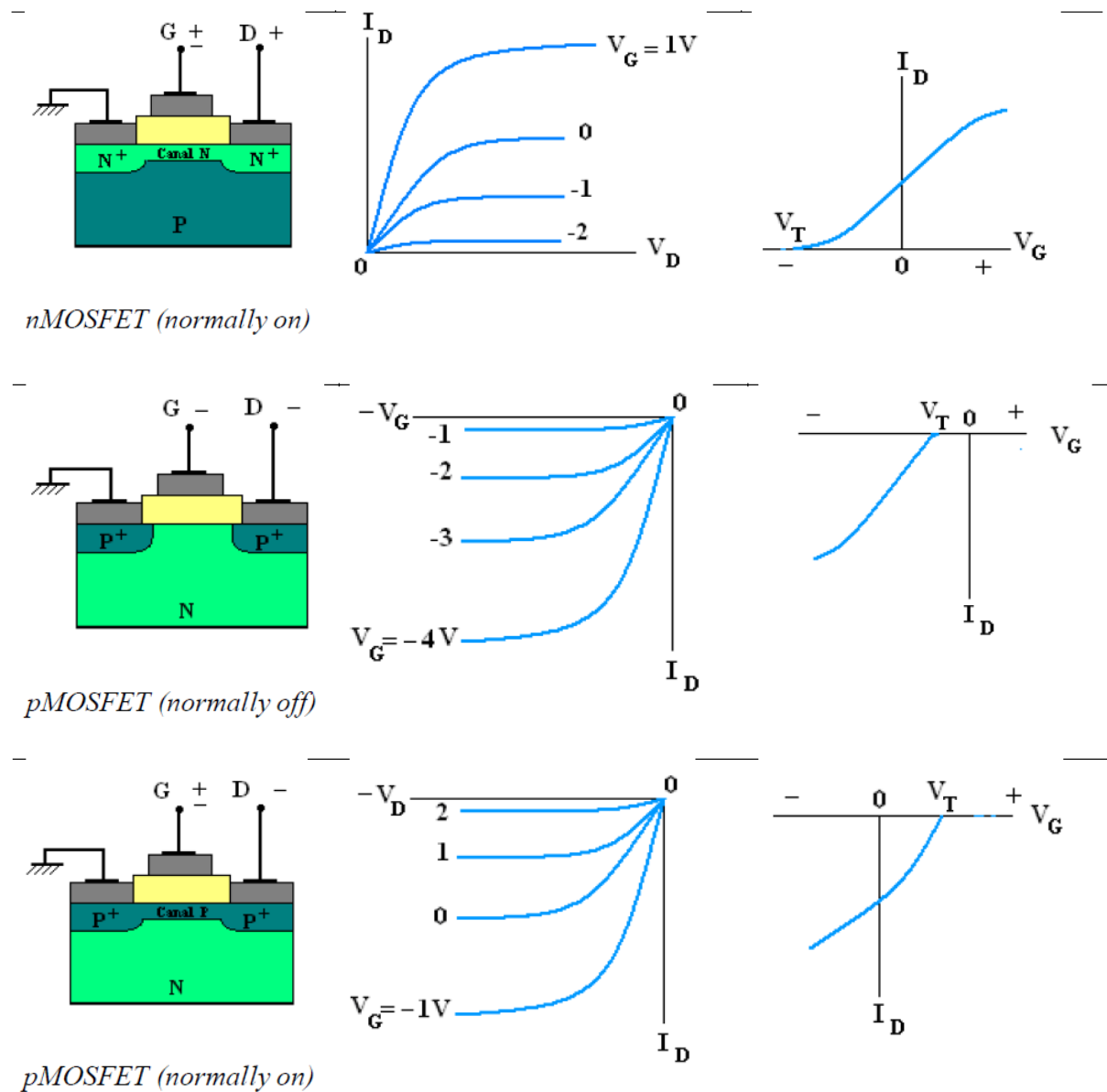


Figure 1.12 : Caractéristiques de transfert et de sortie des différents types de MOSFET.

#### I.4. Principe et régimes de fonctionnement [13] :

Le principe de fonctionnement du transistor MOS (ou MOSFET) repose sur la modulation d'une densité de porteurs d'une zone semi-conductrice par un champ électrique qui lui est perpendiculaire. Ce champ électrique est appliqué par l'électrode de commande (la grille) à travers un isolant (diélectrique de grille). Les porteurs créés sont des charges mobiles : électrons dans le cas d'un transistor NMOS, trous dans le cas d'un transistor PMOS. Lorsque la tension appliquée sur la grille est supérieure à une tension seuil appelée tension de seuil, notée  $V_T$ , ces charges mobiles constituent un canal de conduction entre la source et le drain. Lorsqu'une différence de potentiel,  $V_{DS}$ , est appliquée entre la source et le drain, les

porteurs affluant (côté source, de façon conventionnelle) sont collectés par le drain sous la forme d'un courant. Ainsi, de façon macroscopique, le transistor MOS se comporte comme un dispositif régulant un courant entre deux électrodes par une commande en tension.

### I.5 Transistor réel :

Nous avons étudié le fonctionnement du transistor, en idéalisant la structure à partir de certaines hypothèses. Nous avons en particulier supposé que la capacité de grille était en régime de bandes plates en l'absence de toute polarisation. En fait, la prise en considération d'une part de la différence des travaux de sortie du métal et du semi-conducteur et d'autre part de la présence de charges d'interface, entraîne l'existence d'une tension de bandes plates non nulles donnée par :

$$V_{FB} = \phi_{ms} - \frac{Q_{ss}}{C_i} \quad (I.3)$$

La tension de seuil du transistor se trouve décalée d'autant et devient

$$V_{FB} = \phi_{ms} - \frac{Q_{ss}}{C_i} + 2\phi_{Fi} + \left( \frac{4qN_A\epsilon_S\phi_{Fi}}{C_i} \right)^{1/2} \quad (I.4)$$

Nous avons en outre supposé constante la mobilité des porteurs libres dans le canal conducteur. Cette hypothèse, justifiée au premier ordre, devient moins justifiée dans le cas du transistor à canal court dans la mesure où le champ longitudinal devient important. Nous avons considéré en détail le rôle joué dans ce domaine par les porteurs chauds dans l'étude du transistor à barrière de shottcky. Nous avons vu à ce sujet, que la saturation du courant de drain pouvait alors résulter de la saturation de la vitesse de dérive des porteurs, plutôt que du pincement du canal. Mais bien avant d'en arriver à ce cas extrême, il faut noter que la couche d'inversion est localisée près de l'interface. La diffusion par défaut, il faut noter que la couche d'inversion est localisée près de l'interface. La diffusion par les états d'interface joue alors un rôle important et la mobilité des porteurs de surface est inférieure à celle des porteurs de volume. Notons par exemple que dans le silicium dopé avec les mobilités des porteurs de surface et de volume sont respectivement  $\mu_{ns} = 570$ ,  $\mu_{nv} = 1100$ ,  $\mu_{ps} = 190$ ,  $\mu_{pv} = 400$  cm<sup>2</sup>V<sup>-1</sup>S<sup>-1</sup>. L'extension transversale du canal conducteur est fonction de la densité superficielle des porteurs, c'est-à-dire de la tension de polarisation grille source. Les porteurs dans le canal sont alors caractérisés par une mobilité effective  $\mu_{eff}$  qui varie avec la tension grille source. La mobilité effective peut s'écrire :

$$\mu_{eff} = \frac{\mu_0}{1 + \theta(V_G - V_{Th}) + \frac{E}{E_C}} \quad (I.5)$$

Où  $\mu_0$  est la mobilité du volume à faible champ.

$\Theta$  et sont deux paramètres empiriques mesurés expérimentalement. Le terme traduit la diminution de mobilité correspondant à la saturation de la vitesse de dérivé des porteurs à fort champ longitudinal. Le terme traduit la variation de mobilité associée à l'effet du champ transversal.

Enfin, nous avons supposé dans les calculs précédents, que la conductivité du canal passait brutalement de zéro à une valeur finie, quand la tension grille source franchissait la tension de seuil  $V_{Th}$  entraînant  $V_s = 2\phi_{fi}$  correspondant au seuil du régime de forte inversion, mais la conductivité du canal devient progressivement non nulle dès que le régime de faible inversion est atteint, c'est-à-dire pour  $V_s = \phi_{fi}$ . Le courant de drain  $I_d$  reste toutefois très faible dans le domaine  $\phi_{fi} < V_s < 2\phi_{fi}$ , car la densité superficielle de porteurs est faible.

### I.6 Le modèle petit signal :

Le modèle petit signal des transistors MOSFET est établi à partir de la mesure sous pointes des paramètres S de motifs de test. Il est basé sur un modèle électrique équivalent à éléments localisés très largement utilisé à l'IEMN. Ce modèle repose sur une approche non quasi-statique.

#### I.6.1 Approches quasi-statique et non quasi-statique :

La précision des modèles des transistors est cruciale pour simuler correctement les performances des circuits. En RF, il faut non seulement prédire avec exactitude le comportement intrinsèque dans le canal où l'effet transistor se produit, mais il faut aussi prédire l'influence des éléments parasites d'accès. Ces derniers, qui constituent la partie extrinsèque du transistor, prennent une importance telle qu'ils ne peuvent plus être négligés pour des applications RF et hyperfréquence.

A cela s'ajoute la nécessité d'une description des effets non quasi-statiques qui dégradent les performances des composants à très haute fréquence. Beaucoup de modèles pour la simulation de circuits numériques et analogiques basse fréquence sont basés sur une approche quasi statique du transistor (Figure I-14). Dans ce cas, on suppose que la distribution des charges dans le canal est une fonction instantanée des tensions de polarisation, c'est-à-dire que la charge répond avec une vitesse infinie à toute variation de tension.

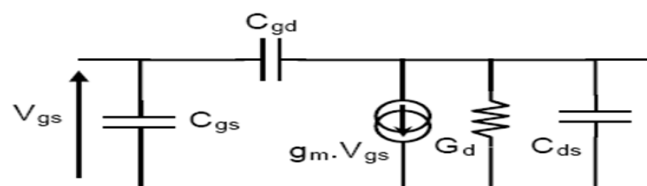


Figure I.13 : Modèle quasi-statique de la zone intrinsèque du transistor FET.

Cependant, lorsque les signaux ont des temps de montée et de descente inférieurs au temps de transition dans le canal, les charges dans le canal ne répondent pas immédiatement aux variations de tension. L'approche quasi-statique provoque des erreurs significatives sur la modélisation des conductances et des capacités du transistor lorsque la fréquence augmente [14] ou pour certaines applications analogiques sensibles aux phénomènes d'injection de charges telles que les commutateurs RF à FET froids [15].

### I.6.2 Schéma électrique équivalent du transistor MOSFET :

Le schéma électrique équivalent du transistor FET, comprend une partie intrinsèque et une partie extrinsèque. Que ce soit pour l'une ou l'autre partie, le schéma équivalent repose sur l'hypothèse que ses éléments sont indépendants de la fréquence jusqu'à la fréquence de coupure du transistor. En d'autres termes, le schéma équivalent utilisé est suffisant pour décrire le comportement du transistor tant que ses éléments sont constants en fonction de la fréquence. Cette hypothèse est primordiale pour l'extraction des éléments du schéma équivalent à partir des mesures.

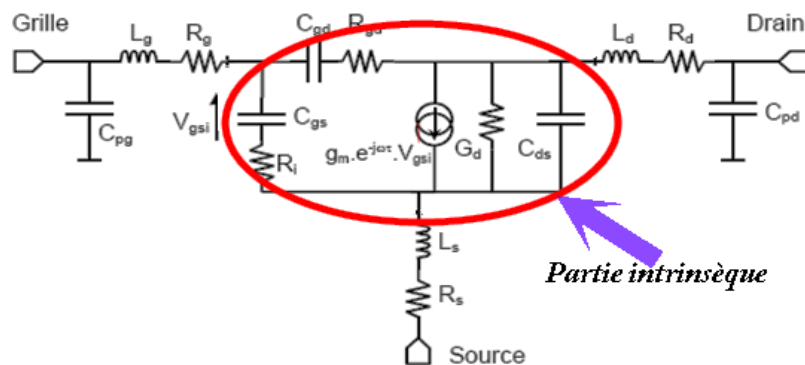


Figure I.14 : Schéma électrique petit signal du transistor FET en source commune.

#### a) Éléments intrinsèques :

La partie intrinsèque correspond à la zone active sous la grille où l'effet transistor se produit. Le courant  $I_{ds}$  qui circule dans le canal est modulé par la tension intrinsèque  $V_{gsi}$  appliquée aux bornes de la capacité grille-source  $C_{gs}$  sur la grille. Cet effet est modélisé par la source de courant  $(g_m \cdot V_{gsi})$  où  $g_m$  est la transconductance traduisant le mécanisme d'amplification de la commande du canal par la tension  $V_{gsi}$ . La transconductance est définie par :



$$g_m = \frac{\partial I_{ds}(V_{gs}, V_{ds})}{\partial V_{gs}} \bigg|_{V_{ds}=cte} \quad (I.6)$$

Puisque les transistors MOSFET ne sont pas des sources de courant idéales, il est nécessaire d'ajouter une conductance de drain  $g_d$  définie par :

$$g_d = \frac{\partial I_{ds}(V_{ds}, V_{gs})}{\partial V_{ds}} \bigg|_{V_{gs}=cte} \quad (I.7)$$

Les capacités susceptibles de jouer un rôle en régime dynamique sont celles associées à la charge stockée au niveau de grille, du canal et de semi-conducteur.

En régime de forte inversion, une variation du potentiel de grille par rapport à la source entraîne une variation de charge dans le semi-conducteur égal à la variation de charge sur la grille.

Ce comportement se traduit par la capacité grille –source  $C_{gs}$  définie par la relation :

$$C_{gs} = \frac{\partial Q_g}{\partial V_{gs}} \bigg|_{V_{ds}=cte} \quad (I.8)$$

Où  $Q_g$  est la charge totale emmagasinée sur la grille.

$C_{gs}$  est dite la capacité d'entrée du MOSFET.

Il en va de même pour une variation du potentiel de grille par rapport au drain. On définit une capacité grille – drain  $C_{gd}$  donnée par la relation :

$$C_{gd} = \frac{\partial Q_g}{\partial V_{ds}} \bigg|_{V_{gs}=cte} \quad (I.9)$$

$C_{ds}$  correspond aux capacités en série des jonctions de source et de drain.

Les effets non quasi-statiques sont pris en compte par les résistances  $R_i$  et  $R_{gd}$  et par la constante  $\tau$ , introduisant un retard entre l'application de la tension de commande  $V_{gsi}$  et son effet sur le courant  $I_{ds}$ .

Les éléments de la partie intrinsèque sont des fonctions de la polarisation et de la longueur de grille du transistor.

Lorsque le MOSFET est utilisé en amplification, le gain en tension continue est donné par la relation :

$$A_v = \frac{\Delta_{vs}}{\Delta_{vg}} = -g_m \cdot R \quad \text{ou } R_c // R_d \quad (I.10)$$

En continu et à basse fréquence, la réaction de  $C_{gs}$  est très grande : le générateur ne débite aucun courant.

C'est là l'intérêt du MOSFET : quel que soit la résistance interne du générateur, c'est la force électromotrice qui appliquée au transistor. Par contre quand le montage à haute fréquence « fréquence élevées », la réactance de  $C_{gs}$  n'est plus négligeable, surtout parce que Vient s'ajouter en parallèle le terme  $C_{gd} \cdot (1 - A_v)$  dû à l'effet Miller. On donc :

$$C_e( Miller ) = C_{gd} + C_{gd} \cdot (1 - A_v) \quad (I.11)$$

#### b) Éléments extrinsèques :

La partie extrinsèque est liée aux éléments parasites des zones d'accès entre la partie intrinsèque et les contacts métalliques reliant le transistor au reste du circuit. Ces éléments sont considérés comme étant indépendants de la polarisation.

#### I.6.3 Capacités de plot, résistances et inductances d'accès :

Les résistances d'accès  $R_d$ ,  $R_s$  ont deux origines :

- les pertes métalliques dans les lignes d'accès.
- les résistances de contact entre le métal et les zones de diffusion fortement dopées de source et de drain.

La résistance  $R_g$  est due principalement à la résistance de la siliciuration des doigts de grille, ainsi qu'aux pertes métalliques. Ces résistances sont distribuées le long de la structure du transistor. Les inductances parasites  $L_g$ ,  $L_d$ ,  $L_s$  traduisent les effets réactifs des connexions du transistor. Enfin, les capacités  $C_{pg}$  et  $C_{bd}$ , appelées capacités de plot, sont dues aux connexions métalliques du transistor.

#### I.7 La réalisation d'un circuit intégré à technologie CMOS [16] :

Le circuit intégré est l'association d'une puce et d'un boîtier de protection. La puce, cœur du circuit intégré, est composée de plusieurs millions de composants élémentaires (des résistances, des diodes, des condensateurs et surtout des transistors) qui sont intégrés sur le même substrat (souvent en silicium) et reliés entre eux de manière à constituer des fonctions logiques (inverseur, portes « et », « ou »...). L'association de ces différentes fonctions permet ainsi de réaliser des fonctions complexes de calculs. La fabrication d'un circuit intégré nécessite plusieurs centaines de traitements différents : dépôt de couches minces isolantes ou conductrices, gravure, attaque chimique, recuit thermique approprié, dopage par implantation d'atomes... Lorsque l'ensemble des traitements est effectué, la tranche de silicium, qui regroupe une à plusieurs centaines de fois le même circuit intégré, est découpée en pastilles. Chaque pastille ou puce est ensuite montée dans un boîtier de protection en céramique ou en plastique, muni de pattes de connexion pour pouvoir l'intégrer sur une carte électronique. Une fois encapsulées, certaines puces fabriquées sont contrôlées individuellement et celles qui

s'écartent des spécifications attendues sont rejetées. La fabrication d'un circuit intégré nécessite de nombreuses étapes qui peuvent être regroupées en deux catégories : les étapes technologiques qui concernent la réalisation des dispositifs actifs (étapes dit de «Front End») et celles qui concernent la réalisation des interconnexions entre ces dispositifs afin de réaliser la fonction logique voulue (étapes dit de «Back End»).

### I.8 Le Bruit dans les transistors MOSFET :

Les applications modernes de la technologie MOSFET imposent la modélisation du bruit afin d'assurer un bon fonctionnement des circuits à technologie MOSFET. Les deux principales sources de bruit dans un transistor MOS sont le bruit en  $1/f$  (basse fréquence) et le bruit thermique. En radiofréquence le bruit en  $1/f$  est négligeable, le bruit thermique devient alors la principale source de bruit [17] :

#### I.8.1 Le bruit en $1/f$ ou bruit basse fréquence :

Ce bruit est en fait un bruit qui se manifeste en basse fréquence, et combien même ce bruit est omniprésent, aucun mécanisme universel n'a été prouvé définitivement comme étant sa cause. Ce bruit est plus grand dans les transistors MOS en comparaison avec les bipolaires. L'origine du bruit en  $1/f$  est expliquée par les théories suivantes

##### I.8.1.1 Fluctuations du nombre de porteurs de charge :

Cette théorie a été proposée par Mc Worther. Ce bruit est dû au piégeage des porteurs de charge au-dessous du diélectrique au niveau de la grille. La densité spectrale du courant qui circule au niveau du drain, notée  $S_{ID}$  et donnée par [17] :

$$S_{ID} = \frac{K_F q^4 I_D^2}{n^2 K T W L f} \frac{N_{ST}}{(C_{OX} + C_{SS} + C_I)^2} \left( \frac{\mu_{eff}}{\mu_0} \right)^2 \quad (I.12)$$

Avec

$$\mu_{eff} = \frac{\mu_0}{1 + \theta(V_{GS} - V_T)} \quad (I.13)$$

Où :

KF : constante dépendant de la technologie utilisée

n : concentration des électrons

q : la charge de l'électron

$I_D$  : le courant du drain

k : la constante de Boltzmann

W : la largeur du canal

L : la longueur du canal

T : la température en degré Kelvin

NST : la densité des porteurs piégés en surface

CSS : la capacité d'interface

CI : la capacité d'inversion

Cox : la capacité de l'oxyde

VGS : la tension entre la grille et la source

VT : la tension de seuil «threshold »

$\mu_{eff}$  : la mobilité effective des porteurs de charge

$\mu_0$  : la mobilité des porteurs de charge à faible champ

$\theta$  : le facteur d'atténuation de la mobilité des porteurs de charges dans le canal.

### I.8.1.2 Fluctuation de la mobilité :

Hooge [1], attribue le bruit en  $1/f$  à la fluctuation de la mobilité des porteurs de charge. Il développa une formule empirique déterminant le bruit en  $1/f$  en fonction de la variation de la résistance du canal. La densité spectrale du bruit est alors donnée par la relation suivante. [17] :

$$R_n^2 = \frac{\alpha_H}{N} \frac{R^2}{f} \quad (I.14)$$

Avec N le nombre de porteurs de charges libres au niveau du « bulk », et  $\alpha_H$  la constante de Hooge.

### I.8.2 Le bruit thermique :

Le bruit thermique ou bruit de Johnson est dû principalement à l'agitation thermique des porteurs de charge [17].

La densité spectrale du bruit thermique est donnée par :

$$S_{thid} = \frac{4K_B T}{I_{DS} L^2} \int_{V_{SB}}^{V_{DB}} g^2(V) dv \quad (I.15)$$

Où  $g(V)$  représente la conductance à chaque point du canal

### I.9 Conclusion :

L'objectif de ce premier chapitre était d'introduire les transistors MOSFET et leur mode de fonctionnement. Ces types de transistors, constituées les blocs de base, très fréquente utilisé, en conception analogique spécifiquement les miroirs de courant, les différents types des amplificateurs opérationnels à transconductance.